



⑮ **BUNDESREPUBLIK
DEUTSCHLAND**



**DEUTSCHES
PATENTAMT**

⑫ **Offenlegungsschrift**
⑩ **DE 197 12 551 A 1**

⑤ Int. Cl.⁶:
H 01 L 21/50
H 01 L 23/50

⑳ Aktenzeichen: 197 12 551.4
㉑ Anmeldetag: 25. 3. 97
㉒ Offenlegungstag: 20. 11. 97

DE 197 12 551 A 1

③① Unionspriorität:

16645/96 17.05.96 KR

㉑ Anmelder:

LG Semicon Co., Ltd., Cheongju, KR

㉒ Vertreter:

Patent- und Rechtsanwälte Wuesthoff & Wuesthoff,
81541 München

㉓ Erfinder:

Kim, Dong You, Cheongju, KR

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ Zuleitungsrahmen und darauf angewendetes Herstellungsverfahren für Halbleitergehäuse in Chipgröße

⑤⑦ Ein Herstellungsverfahren für Halbleitergehäuse in Chipgröße beinhaltet die Schritte abschließendes Ausrichten eines Zuleitungsrahmens auf einem Wafer, Durchführen eines Draht-Bondens zum elektrischen Verbinden jeder der gestuften Zuleitungen mit einem entsprechenden aus einer Vielzahl von mittigen Kontaktierungsfeldern auf dem Wafer unter Verwendung von metallischem Draht, Durchführen eines Vergießverfahrens, um einen Bereich zu formen, der die metallischen Drähte und die Zuleitungen einschließt, aber die oberste Oberfläche jeder der Zuleitungen nach außen freilegt, Plattieren eines leitenden metallischen Materials auf den nach außen freigelegten Teil jeder der Zuleitungen, und Sägen des Wafers, um daraus einzelne Halbleiterchips zu formen. Der Zuleitungsrahmen beinhaltet eine Vielzahl von Zuleitungshaltestäben, von denen jeder mit einer entsprechenden Chip-Unterteilungslinie auf einem Wafer übereinstimmt, und eine Vielzahl von Zuleitungen, die von jedem Spalten-Zuleitungshaltestab aus einander gegenüberliegen und sich einer vertikalen Mittellinie jedes der Chips nähern. Das Herstellungsverfahren reduziert die nötigen Herstellungsschritte und erleichtert folglich die Massenproduktion.

BEST AVAILABLE COPY

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

BUNDESDRUCKEREI 09. 97 702 047/513

9/23

DE 197 12 551 A 1

HINTERGRUND DER ERFINDUNG

1. Bereich der Erfindung

Die vorliegende Erfindung betrifft ein Herstellungsverfahren für Halbleitergehäuse und besonders einen Zuleitungsrahmen und ein darauf angewendetes Herstellungsverfahren für Halbleitergehäuse in Chipgröße zur Vereinfachung von Herstellungsschritten und um dadurch eine Massenproduktion zu erleichtern.

2. Beschreibung des Stands der Technik

Da die Größe von Halbleiterbauelementen in den letzten Jahren zunehmend minimiert wird, müssen Halbleitergehäuse in der Größe minimiert und dünner gemacht werden, so daß ein LOC-Halbleitergehäuse (lead on chip bzw. Zuleitung auf dem Chip) entwickelt wurde und bei deren Massenproduktion eingesetzt wird.

Wie in Fig. 1, die ein herkömmliches LOC-Halbleitergehäuse darstellt, gezeigt, wird auf einem Paddel (1) ein Halbleiterchip (2) angebracht, auf dem außer in dessen Mitte eine Klebstoff-Abdeckschicht (4) geformt wird, über der ausgehend von einem Zuleitungsrahmen (9) eine Vielzahl von Zuleitungen (3), die jeweils mehrfache Biegungen aufweisen, bereitgestellt wird. Auf der Mitte der Oberfläche des Chips (2) wird eine Vielzahl von Chip-Kontaktierungsfeldern (5) geformt, von denen jedes über einen metallischen Draht (6) elektrisch mit einer entsprechenden Zuleitung (3) verbunden ist. Eine Epoxid-Vergußmasse (7) wird auf dem Chip (2) einschließlich der Zuleitungen (3), der Klebstoffschicht (4), der Chip-Kontaktierungsfelder (5) und der metallischen Drähte (6) geformt, wobei die obere Oberfläche eines an den Zuleitungsrahmen (9) angrenzenden Teils jeder Zuleitung (3) nach außen freigelegt wird.

Mit Bezug auf Fig. 2A bis 2E wird jetzt das Herstellungsverfahren für das so aufgebaute herkömmliche Halbleitergehäuse in Chipgröße beschrieben.

Zunächst wird wie in Fig. 2A gezeigt ein Die-Bondprozeß zum Anbringen des Halbleiterchips (2) auf dem von einem Die-Flächenrahmen (8) ausgehenden Paddel (1) durchgeführt. Auf dem Die-Flächenrahmen (8) mit dem darauf befindlichen Chip (2) wird der Zuleitungsrahmen (9) ausgerichtet, der für eine mittige Kontaktierung geeignet ist und von dem aus die Vielzahl von Zuleitungen (3) mit jeweils mehrfachen Biegungen darin verläuft. Dann wird ein Schweißprozeß durchgeführt, um den Die-Flächenrahmen (8) mit dem Zuleitungsrahmen (9) zu verbinden.

Wie in Fig. 2B gezeigt wird mit den metallischen Drähten (6) ein Draht-Bondprozeß durchgeführt, um jedes der auf der Mitte der Oberfläche des Chips (2) geformten Chip-Kontaktierungsfelder (5) elektrisch mit einer entsprechenden Zuleitung (3) zu verbinden.

Dann wird wie in Fig. 2C gezeigt der durch Schweißen mit jedem der Rahmen (8), (9) verbundene Chip (2) in einem in der Oberfläche einer unteren Form (12) geformten Hohlraum (13) ausgerichtet. Als nächstes wird eine obere Form (11) an der unteren Form (12) befestigt und eine Vergußmasse (7) wird in eine Entlüftungsöffnung (12a) injiziert.

Wie in Fig. 2D gezeigt werden die Formen (11), (12) nach Abschluß des Vergießprozesses von den Rahmen

(8), (9) abgetrennt. Es folgt ein Abschneideprozeß, um die nach außen abstehenden Teile vom geformten Gehäusekörper (7) abzuschneiden und dadurch das Halbleitergehäuse in Chipgröße fertigzustellen, das die Zuleitungen (3) an der unteren Oberfläche des Gehäusekörpers (7) nach außen freilegt.

Zur Herstellung des herkömmlichen Halbleitergehäuses in Chipgröße wird der Halbleiterchip (2) vor der Durchführung des Die-Bondens einzeln vom Wafer (20) abgetrennt. Der abgetrennte Chip (2) wird auf dem Paddel (1) des Die-Flächenrahmens (8) abschließend ausgerichtet, um so mit dem Draht-Bonden fortzufahren.

Die einzelne Befestigung des Chips am Paddel erfordert jedoch verursacht durch die überflüssig komplizierten Herstellungsschritte viel Zeit. Die komplizierten Schritte können auch eine äußere Beschädigung des Chips verursachen und dadurch dessen Produktivitätsverbesserung behindern.

ZUSAMMENFASSUNG DER ERFINDUNG

Es ist deshalb ein Ziel der vorliegenden Erfindung, ein Herstellungsverfahren für Halbleitergehäuse in Chipgröße bereitzustellen, das geeignet ist, durch Vereinfachung der Herstellungsschritte die Produktivität zu verbessern.

Es ist ein weiteres Ziel, einen Zuleitungsrahmen zur Herstellung des Halbleitergehäuses in Chipgröße gemäß der vorliegenden Erfindung bereitzustellen.

Um die oben beschriebenen Ziele zu erreichen, beinhaltet das Herstellungsverfahren für Halbleitergehäuse in Chipgröße gemäß der vorliegenden Erfindung folgende Schritte: abschließendes Ausrichten eines Zuleitungsrahmens auf einem Wafer, wobei der Zuleitungsrahmen eine Vielzahl von Zuleitungshaltestäben enthält, die jeweils mit entsprechenden Chip-Unterteilungslinien auf dem Wafer übereinstimmen, und wobei von jedem dieser Stäbe aus eine Vielzahl von gestuften Zuleitungen bis zu einer bestimmten Entfernung verläuft und worin der Wafer eine Vielzahl von Chips für mittige Kontaktierung enthält, die jeweils unterteilt sind, um dadurch voneinander abgetrennt zu werden; Durchführen eines Draht-Bondens zum elektrischen Verbinden jeder der Zuleitungen mit einem entsprechenden aus der Vielzahl von mittigen Kontaktierungsfeldern auf dem Wafer durch Verwendung metallischer Drähte; Durchführen eines Vergießvorgangs zum Formen eines die metallischen Drähte und die Zuleitungen einschließenden Bereichs, während eine oberste Oberfläche jeder der gestuften Zuleitungen nach außen freigelegt wird; Plattieren eines leitenden metallischen Materials auf einen nach außen freigelegten Teil jeder der Zuleitungen; und Sägen des Wafers, um daraus einzelne Halbleiterchips zu formen.

Der Zuleitungsrahmen eines Gehäuses für einen Halbleiterchip enthält ferner eine Vielzahl von Zuleitungshaltestäben, von denen jeder mit einer entsprechenden Chip-Unterteilungslinie auf einem Wafer übereinstimmt, und eine Vielzahl von Zuleitungen, die einander gegenüberliegend von jedem Zuleitungsstab aus in Richtung einer vertikalen Mittellinie jedes der Chips verlaufen.

KURZE BESCHREIBUNG DER ZEICHNUNGEN

Fig. 1 ist eine Schnittansicht eines herkömmlichen Halbleitergehäuses in Chipgröße;

Fig. 2A ist eine perspektivische Explosionsansicht des

Gehäuses von Fig. 1 zur Beschreibung von dessen Die-Bonden und Rahmenschiweißen;

Fig. 2B ist eine perspektivische Ansicht des zusammengesetzten Gehäuses von Fig. 2 zur Darstellung eines Draht-Bondschriffs;

Fig. 2C ist eine perspektivische Ansicht des herkömmlichen Prozesses zur Herstellung eines Halbleitergehäuses in Chipgröße zur Darstellung eines Vergießschritts;

Fig. 2D ist eine perspektivische Ansicht des fertiggestellten herkömmlichen Halbleitergehäuses;

Fig. 2E ist eine Ansicht des fertiggestellten herkömmlichen Halbleitergehäuses von unten;

Fig. 3 ist eine Aufsicht auf einen Halbleiterwafer mit einer Vielzahl von mittigen Kontaktierungsfeldern auf jedem von dessen Chipbereichen;

Fig. 4 ist eine Aufsicht auf einen Zuleitungsrahmen gemäß der vorliegenden Erfindung;

Fig. 5A ist eine Aufsicht auf einen auf einem Halbleiterwafer angebrachten Zuleitungsrahmen der vorliegenden Erfindung;

Fig. 5B ist eine Aufsicht, die einen Draht-Bondprozeß gemäß der vorliegenden Erfindung zeigt;

Fig. 5C ist eine Schnittansicht entlang der Linie A-A in Fig. 5B;

Fig. 5D ist eine Schnittansicht eines Chipgehäuses gemäß der vorliegenden Erfindung zur Darstellung eines Vergießprozesses; und

Fig. 5E ist eine Schnittansicht eines Chipgehäuses gemäß der vorliegenden Erfindung zur Darstellung eines Plattierprozesses.

AUSFÜHRLICHE BESCHREIBUNG DER ERFINDUNG

Mit Bezug auf die beigefügten Zeichnungen wird jetzt das Herstellungsverfahren für Halbleitergehäuse in Chipgröße gemäß der vorliegenden Erfindung beschrieben.

Wie in Fig. 3 gezeigt ist ein Wafer (20) in ein Gitter aus einer Vielzahl von Dies oder Chips (21) unterteilt, von denen jeder später davon abgetrennt werden kann. Auf der Mitte jedes der Chips (21) ist eine Vielzahl von mittigen Kontaktierungsfeldern (21a) in einer Linie geformt.

Mit Bezug auf Fig. 4 verläuft eine Vielzahl von Zuleitungshaltestäben (31) zum Halten mehrerer Zuleitungen (32) entlang den Zeilen- und Spaltenlinien eines Zuleitungsrahmens (30). Die Zuleitungshaltestäbe (31) sind jeweils so eingerichtet, daß sie mit entsprechenden Chip-Unterteilungslinien des Wafers (20) in Fig. 3 übereinstimmen.

Innerhalb jedes der von den Zuleitungshaltestäben (31) umgebenen Gitter verlaufen die Zuleitungen (32) jeweils von jedem Spalten-Zuleitungshaltestab (31) bis zu einer bestimmten Entfernung in Richtung der vertikalen Mittellinie jedes der Gitter, um dadurch das Verpacken eines Halbleiterchips mit mittigen Kontaktierungsfeldern zu erleichtern. Jede Zuleitung (32) weist auch mehr als eine Biegung oder Stufe auf und es ist wünschenswert, daß die Breite jedes Zuleitungshaltestabs (31) kleiner als die Dicke des Wafers (21) ist.

Nun wird das Herstellungsverfahren für Halbleitergehäuse in Chipgröße gemäß der vorliegenden Erfindung beschrieben.

Zunächst wird wie in Fig. 5A gezeigt der Zuleitungsrahmen (30) von Fig. 4 auf dem Wafer (20) von Fig. 3 angebracht, um die Zuleitungshaltestäbe (31) so auszu-

richten, daß sie jeweils mit den entsprechenden Chip-Unterteilungslinien in Fig. 3 übereinstimmen und dann werden der Rahmen (30) und der Wafer (20) durch eine Klebstoff-Abdeckschicht (40) abschließend aneinander befestigt, wodurch die Vielzahl von über jeden der Chips (21) verlaufenden Zuleitungen (32) auf jeder Seite der mittigen Kontaktierungsfelder (21a), die auf der Mitte jedes Chips (21) aufgereiht sind, ausgerichtet wird.

Dann wird wie in Fig. 5B und 5C gezeigt ein Draht-Bondprozeß unter Verwendung metallischer Drähte (50) durchgeführt, um jede Zuleitung (32) elektrisch mit einem entsprechenden mittigen Kontaktierungsfeld (21a) zu verbinden.

Danach wird wie in Fig. 5D gezeigt ein Formprozeß unter Verwendung einer Epoxid-Vergußmasse (60) durchgeführt, um jedes Halbleitergehäuse einschließlich der metallischen Drähte (50), der mittigen Kontaktierungsfelder (21a) und der Zuleitungen (32) abzudichten, jedoch die oberste Oberfläche jeder der Zuleitungen (32), die Stufen oder Biegungen aufweisen, nach außen freizulegen.

Wie in Fig. 5E gezeigt wird auf jeder der nach außen freigelegten Zuleitungen (32) ein Plattierprozeß unter Verwendung eines leitenden metallischen Materials (70) durchgeführt, bei dem es wünschenswert ist, daß das leitende metallische Material (70) ein Lot ist, um darauf eine Elektroplattierung anzuwenden.

Schließlich wird entlang jedem Zuleitungshaltestab (31) des Zuleitungsrahmens (30) ein Sägeprozeß durchgeführt, um so einzelne Halbleiterchips zu formen und dadurch die Halbleitergehäuse in Chipgröße gemäß der vorliegenden Erfindung fertigzustellen. Da die Breite jedes Zuleitungshaltestabs (31) kleiner als die Dicke des zerschnittenen Wafers (20) geformt ist, wird zu diesem Zeitpunkt jeder Zuleitungshaltestab während des Sägeprozesses vollständig entfernt.

Wie oben beschrieben wird beim Herstellungsverfahren für Halbleitergehäuse in Chipgröße gemäß der vorliegenden Erfindung der Zuleitungsrahmen abschließend am Wafer angebracht, begleitet von den Schritten Draht-Bonden und Vergießen sowie schließlich Trennen der einzelnen Chips voneinander, wodurch die nötigen Herstellungsschritte reduziert werden und folglich die Massenproduktion erleichtert wird.

Patentansprüche

1. Herstellungsverfahren für Halbleitergehäuse in Chipgröße mit den Schritten:

abschließendes Ausrichten eines Zuleitungsrahmens (30) auf einem Wafer (20), wobei der Zuleitungsrahmen (30) eine Vielzahl von Zuleitungshaltestäben (31) beinhaltet, die jeweils mit einer entsprechenden Chip-Unterteilungslinie auf dem Wafer (20) übereinstimmen, und wobei von jedem dieser Stäbe (31) aus eine Vielzahl von gestuften und gebogenen Zuleitungen (32) bis zu einer bestimmten Entfernung verläuft und wobei der Wafer (20) eine Vielzahl von Chips (21) für mittige Kontaktierung (21a) enthält, die darin jeweils unterteilt sind, um dadurch voneinander abgetrennt zu werden; Durchführen eines Draht-Bonds zum elektrischen Verbinden jeder der Zuleitungen (32) mit einem entsprechenden aus der Vielzahl von mittigen Kontaktierungsfeldern (21a) auf dem Wafer (20) durch Verwendung von metallischem Draht (50); Durchführen eines Vergießens, um einen Bereich (60), der die metallischen Leiter (50) und die Zulei-

tungen (32) enthält, zu formen, aber eine oberste Oberfläche jeder der Zuleitungen (32) nach außen freizulegen;

Plattieren eines leitenden metallischen Materials (70) auf dem nach außen freigelegten Teil jeder der Zuleitungen (32); und

Sägen des Wafers (20), um daraus einzelne Halbleiterchips zu formen.

2. Verfahren nach Anspruch 1, bei dem für den Plattierschritt ein Elektroplattierverfahren eingesetzt wird.

3. Verfahren nach Anspruch 1, bei dem eine Klebstoff-Abdeckschicht (40) aufgebracht wird, um den Zuleitungsrahmen (30) mit dem Wafer (20) zu verbinden.

4. Verfahren nach Anspruch 1, bei dem für den Formschritt eine Epoxid-Vergußmasse verwendet wird.

5. Verfahren nach Anspruch 1, bei dem das leitende metallische Material (70) ein Lot ist.

6. Zuleitungsrahmen (30) für ein Halbleiterchipgehäuse, der umfaßt:

eine Vielzahl von Zuleitungshaltestäben (31), von denen jeder mit einer entsprechenden Chip-Unterteilungslinie auf einem Wafer (20) übereinstimmt; und

eine Vielzahl von Zuleitungen (32), die von Spalten-Zuleitungshaltestäben (31) aus verlaufen und sich einer vertikalen Mittellinie zwischen diesen nähern.

7. Zuleitungsrahmen nach Anspruch 6, bei dem die Vielzahl von Zuleitungshaltestäben (31) ein rechtwinkliges Gitter bildet.

8. Zuleitungsrahmen nach Anspruch 6, bei dem jede der Zuleitungen (32) mehr als eine darin geformte Stufe aufweist.

9. Zuleitungsrahmen nach Anspruch 6, bei dem jede der Zuleitungen (32) mehr als eine darin geformte Biegung aufweist.

10. Zuleitungsrahmen nach Anspruch 6, bei dem eine Breite jedes der Zuleitungshaltestäbe (31) kleiner als eine Dicke des Wafers (20) ist.

Hierzu 7 Seite(n) Zeichnungen

45

50

55

60

65

- Leerseite -

FIG. 5C

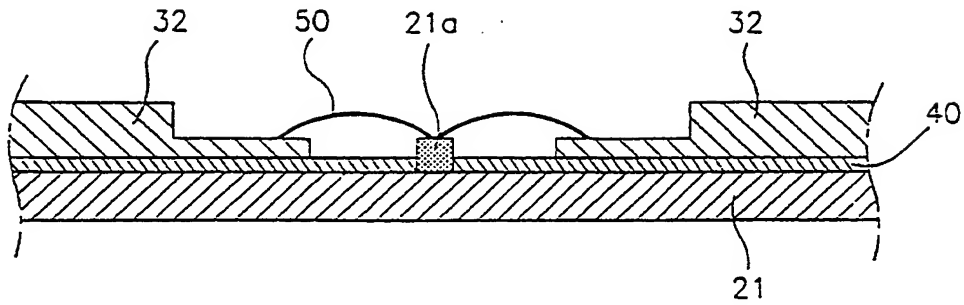


FIG. 5D

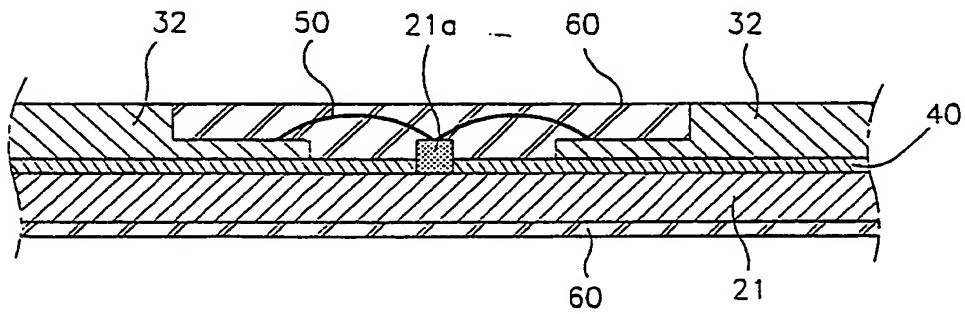
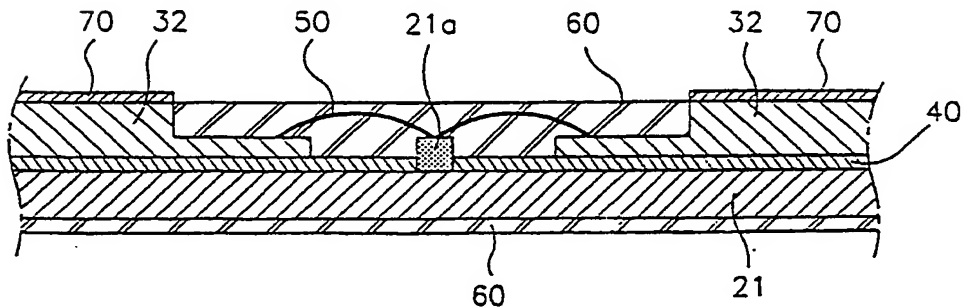


FIG. 5E



*

FIG. 1
STAND DER TECHNIK

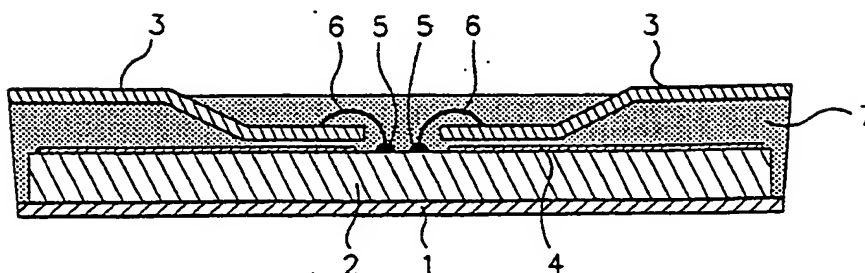


FIG. 2A
STAND DER TECHNIK

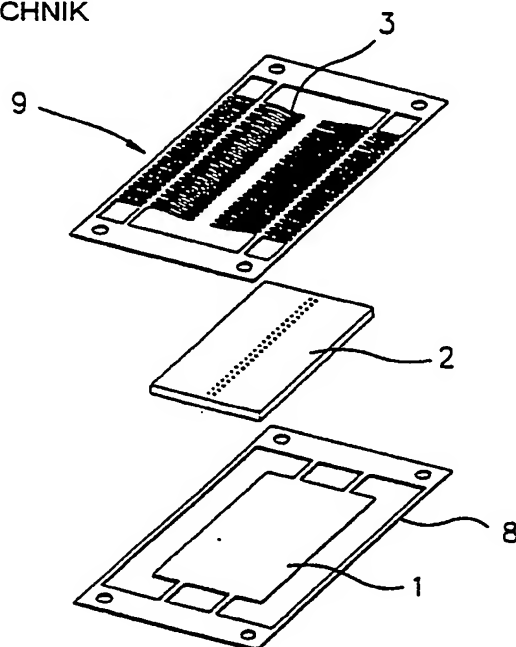


FIG. 2B
STAND DER TECHNIK

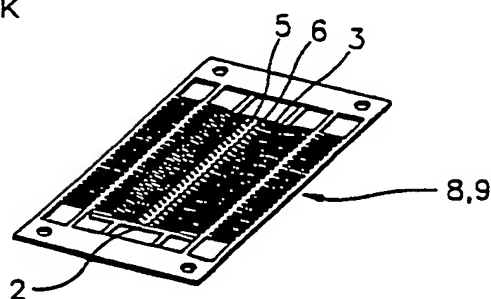


FIG. 2C
STAND DER TECHNIK

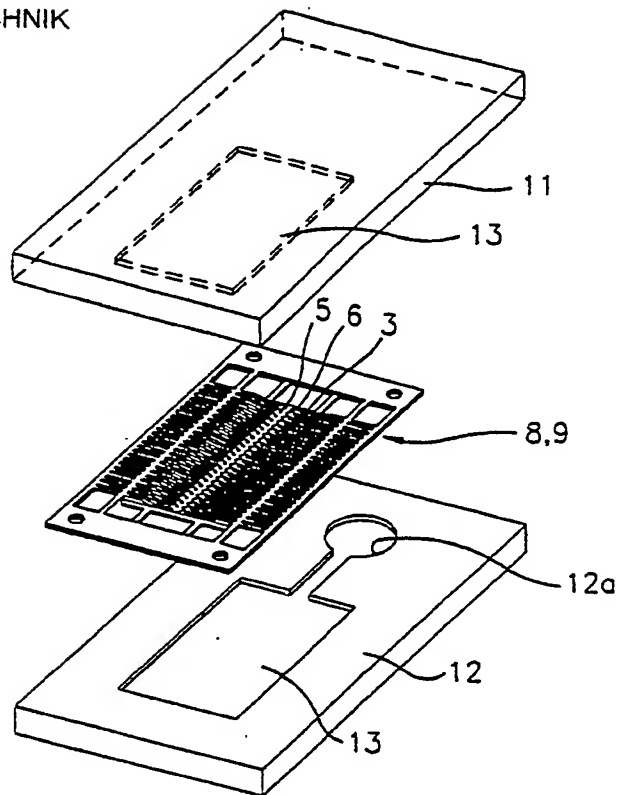


FIG. 2D
STAND DER TECHNIK

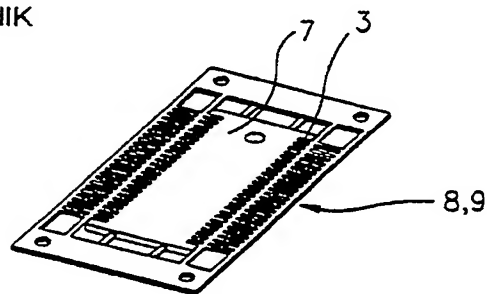


FIG. 2E
STAND DER TECHNIK

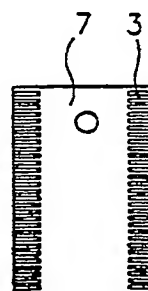


FIG. 3

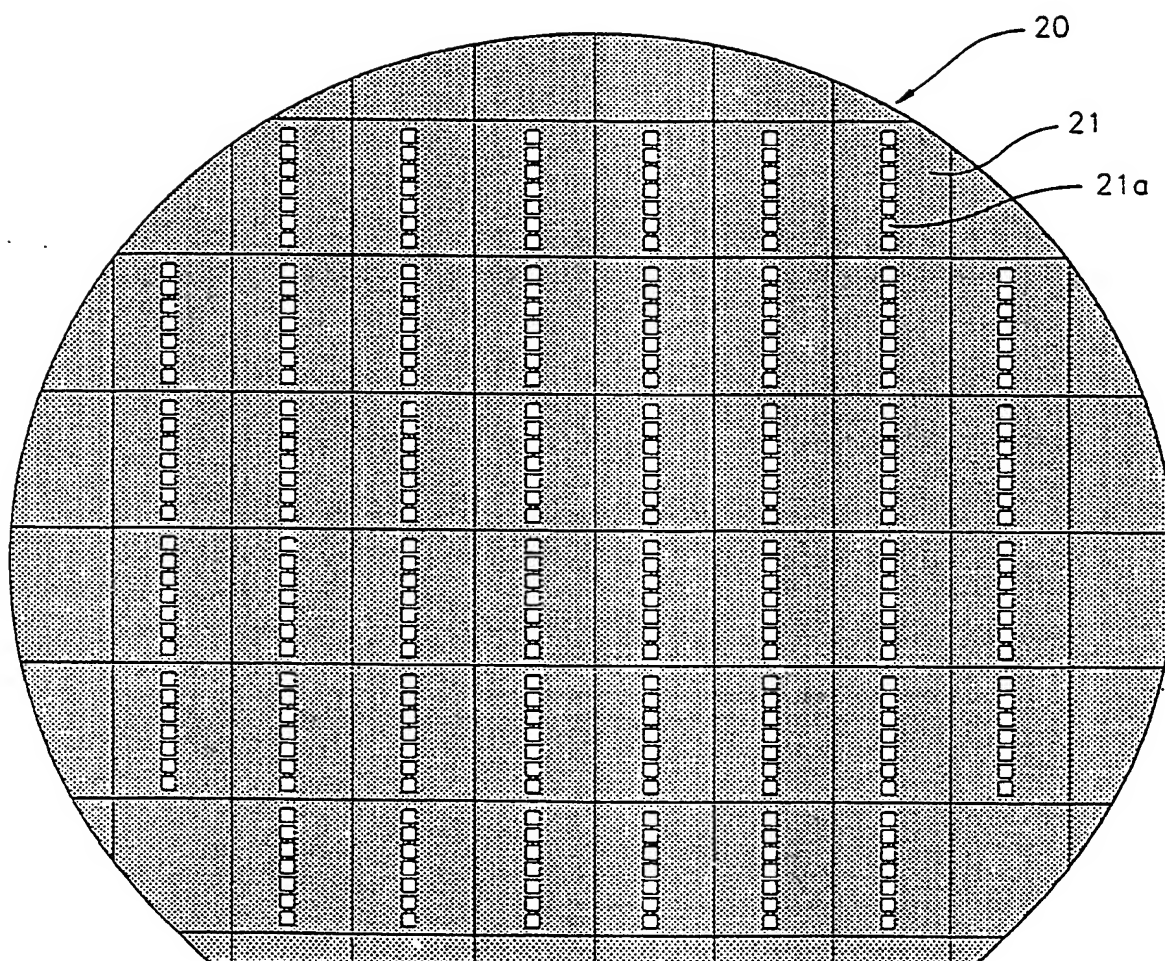


FIG. 4

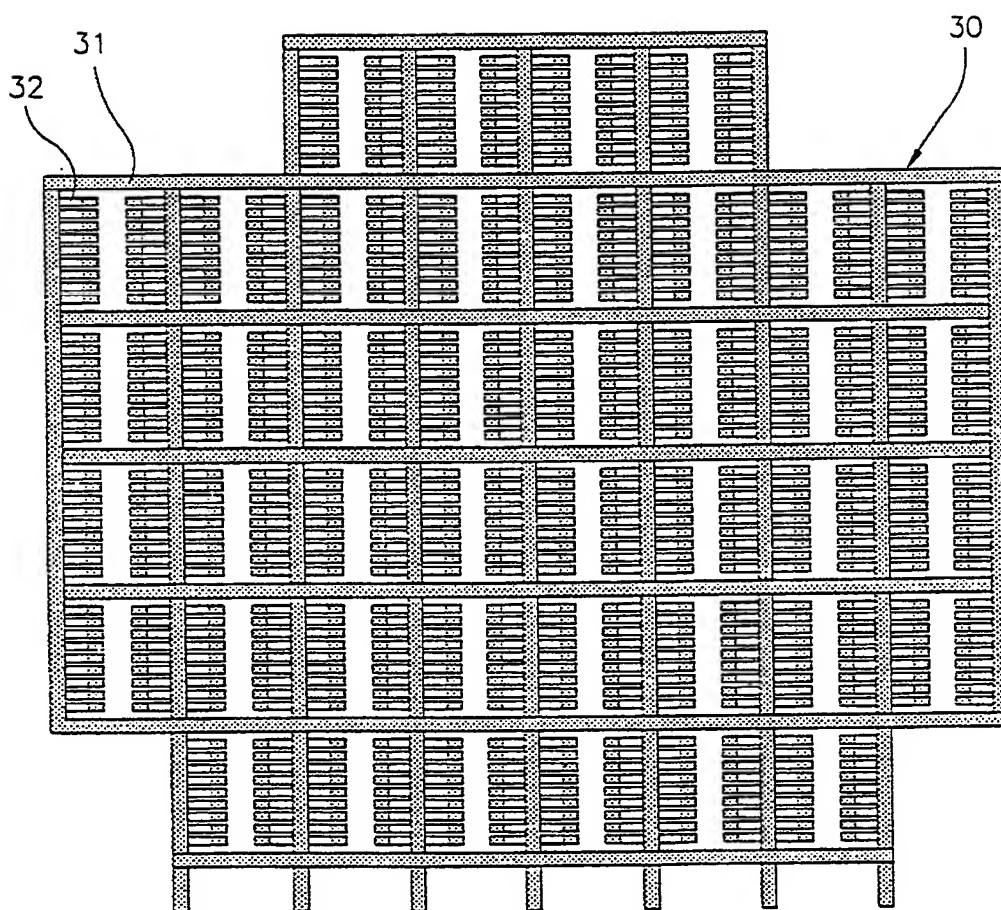


FIG. 5A

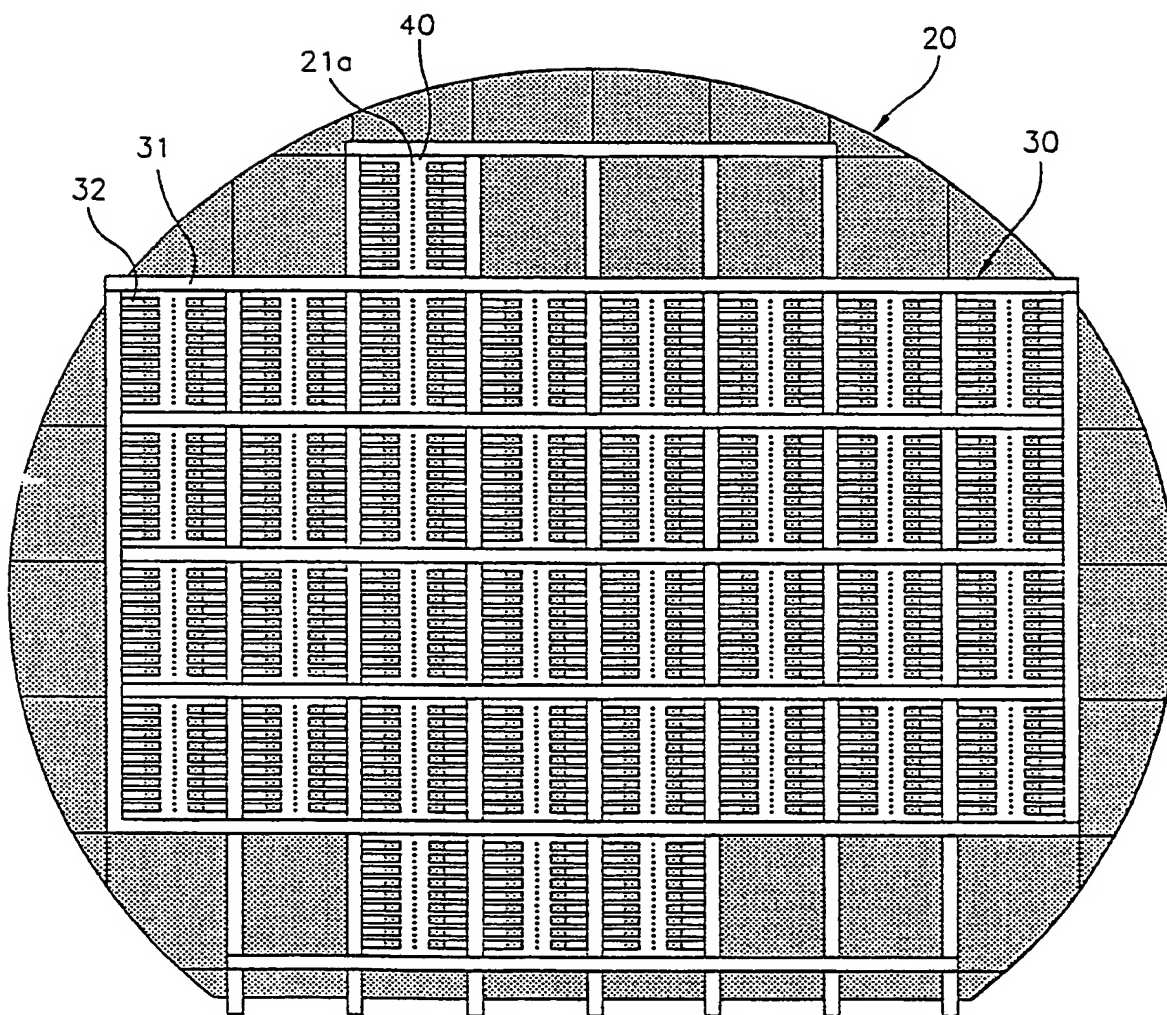
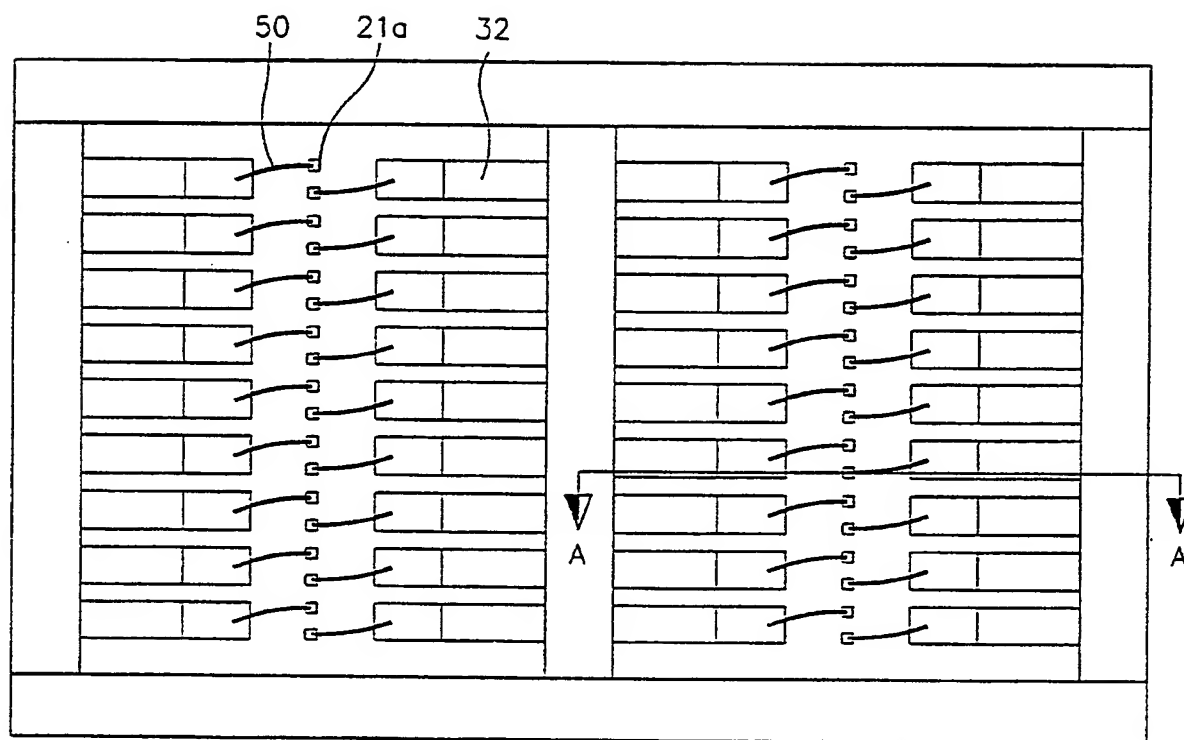


FIG. 5B



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)